

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Katsuhito Sasaki :
Serial No.: [NEW] : Attn: Applications Branch
Filed: January 23, 2002 : Attorney Docket No.: OKI.295



For: METHOD OF MANUFACTURING LATERAL DOUBLE-DIFFUSED METAL
OXIDE SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2001-250752 filed August 21, 2001

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 23, 2002

【書類名】 特許願

【整理番号】 KT000362

【提出日】 平成13年 8月21日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 佐々木 克仁

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 LDMOSトランジスタの製造方法

【特許請求の範囲】

【請求項1】 ウエル領域を表面に有する半導体基板と、前記ウエル領域の前記半導体基板表面に形成されるソースと、前記ウエル領域以外の前記半導体基板表面に形成されるドレインと、前記ソース及び前記ドレイン間の前記半導体基板表面上にゲート酸化膜を介して形成されるゲート電極とを備えたLDMOSトランジスタの製造方法において、

前記ソースを形成するイオン注入工程であって、このイオン注入はこの工程後の前記ゲート酸化膜形成時の増速酸化を抑制するようにイオン注入エネルギー量を設定することを特徴とするLDMOSトランジスタの製造方法。

【請求項2】 前記イオン注入エネルギー量を高エネルギーイオン注入となるように設定する請求項1に記載のLDMOSトランジスタの製造方法。

【請求項3】 前記イオン注入エネルギー量を500keVとする請求項2に記載のLDMOSトランジスタの製造方法。

【請求項4】 前記イオン注入時のドーズ量を 5.0×10^{15} 個/cm²とする請求項1に記載のLDMOSトランジスタの製造方法。

【請求項5】 第1導電型の半導体基板に第2導電型のウエル領域を形成する工程と、

前記第2導電型のウエル領域に対して第2導電型の不純物をイオン注入する工程と、

前記半導体基板上にゲート酸化膜を形成する工程であって、この工程の熱処理により前記イオン注入された第2導電型の不純物は活性化されたソース領域となり、

前記ウエル領域以外の前記半導体基板表面にドレイン領域を形成する工程と、

前記ソース領域及び前記ドレイン領域間の前記半導体基板表面上に前記ゲート酸化膜を介してゲート電極を形成する工程とを有し、

前記ソースを形成するイオン注入工程であって、このイオン注入はこの工程後の前記ゲート酸化膜形成時の増速酸化を抑制するようにイオン注入エネルギー量

を設定することを特徴とする L D M O S トランジスタの製造方法。

【請求項 6】 前記イオン注入エネルギー量を高エネルギーイオン注入となるように設定する請求項 5 に記載の L D M O S トランジスタの製造方法。

【請求項 7】 前記イオン注入エネルギー量を 5 0 0 k e V とする請求項 6 に記載の L D M O S トランジスタの製造方法。

【請求項 8】 前記イオン注入時のドーズ量を 5.0×10^{15} 個 / cm^2 とする請求項 5 に記載の L D M O S トランジスタの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はインプラ工程が省略できる L D M O S トランジスタの製造方法に関する。

【 0 0 0 2 】

【従来の技術】

L D M O S (lateral double-diffused metal oxide semiconductor, 表面ドレイン横型 2 重拡散の金属・酸化物半導体) は小型で消費電力が小さい電力用デバイスとして知られ, 例えば特開平 1 0 - 3 3 5 6 6 3 号公報にはその構造と製造方法とが開示されている。従来の L D M O S の製造方法を以下に説明する。一般に L D M O S には N 型と P 型があるが, ここでは N 型を例に示す。

【 0 0 0 3 】

P 型半導体基板上の所定の領域に, 酸化, ホトリソ, 不純物注入の各技術を用いて, 例えばリン (P) 等の N 型不純物を注入する。次に, 拡散技術を用いてドレインとなる N 型ウエルを形成する。次に, N 型ウエル内に L D M O S の D ウエルとなる, 例えばボロン (B) 等の P 型不純物を, ホトリソ, インプラ技術を用いて注入し, 続けて同一レジストを用いて, 例えば砒素 (A s) 等の N 型不純物を注入し, 拡散技術を用いて, D ウエルとなる P 型拡散層, 及び, ソースとなる N 型拡散層を形成する。ここでボロン (B) は, 砒素 (A s) と較べて小さい元素であり拡散係数が高いので, N 型拡散層より P 型拡散層の方が深く形成される。

【 0 0 0 4 】

次に、L O C O S 形成技術を用いて素子間を分離するフィールド酸化膜を形成し、このフィールド酸化膜の内側表面に、酸化技術を用いてゲート酸化膜を形成し、公知のC V D、ホトリソ、エッチングの各技術を用いて、N型ウエル、DウエルとなるP型拡散層、及びN型拡散層をまたぐようにして、ゲート酸化膜上のチャンネルとなる領域にポリシリコンの電極を形成する。

【 0 0 0 5 】

次に、ホトリソ技術を用いて所望のパターニングを行い、レジスト及びゲート電極をマスクとしてN型ウエル内の表面に、例えばリン（P）等のN型不純物を注入する。そして、拡散技術により、DウエルとなるP型拡散層のない領域上のN型ウエル内に、R S D（reduced surface drain、縮小した表面ドレイン）となるN型拡散層を形成する。

【 0 0 0 6 】

次に、ホトリソ、インプラの技術を用いて、N型拡散層の一部で、ドレイン、ソースの電極を取り出す領域には例えば砒素（A s）等のN型不純物を注入し、Dウエルの電極を取り出す領域には例えばボロン（B）等のP型不純物を注入する。更に、拡散技術を用いてN型拡散層及びP型拡散層を形成し、最後にコンタクト形成、配線形成を経てL D M O S が形成される。

【 0 0 0 7 】

【発明が解決しようとする課題】

上記従来の方法により形成されたL D M O S は、ソースとなるN型拡散層を形成した後にゲート酸化膜を形成していることから、ソースとなるN型拡散層上のゲート酸化膜が、増速酸化によりDウエル上のゲート酸化膜よりも厚く形成される。そしてこのようにしてゲート酸化膜には、これら厚みの違う境界に段差が形成される。このため、ゲート酸化膜中の電界分布が一様でなくなり、ゲート酸化膜耐圧等の信頼性に問題があった。

【 0 0 0 8 】

そこで本発明は、上記従来技術の問題点を解決し、ゲート酸化膜形成時の増速酸化が抑制でき、Dウエル上のゲート酸化膜の段差を低減して、信頼性の高い半

導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の観点によれば、以下の特徴を有するLDMOSトランジスタの製造方法が提供される。即ち、ウエル領域を表面に有する半導体基板と、ウエル領域の半導体基板表面に形成されるソースと、ウエル領域以外の半導体基板表面に形成されるドレインと、ソース及びドレイン間の半導体基板表面上にゲート酸化膜を介して形成されるゲート電極とを備えたLDMOSトランジスタの製造方法において、前記ソースを形成するイオン注入工程であって、このイオン注入はこの工程後のゲート酸化膜形成時の増速酸化を抑制するようにイオン注入エネルギー量を設定する。

【0010】

上記方法により、ゲート酸化膜形成時の増速酸化が抑制でき、ウエル上のゲート酸化膜の段差を低減できる。

【0011】

また、上記課題を解決するために、本発明の第2の観点によれば、以下の特徴を有するLDMOSトランジスタの製造方法が提供される。即ち、第1導電型の半導体基板に第2導電型のウエル領域を形成する工程と、第2導電型のウエル領域に対して第2導電型の不純物をイオン注入する工程と、半導体基板上にゲート酸化膜を形成する工程であって、この工程の熱処理によりイオン注入された第2導電型の不純物は活性化されたソース領域となり、ウエル領域以外の半導体基板表面にドレイン領域を形成する工程と、ソース領域及びドレイン領域間の半導体基板表面上にゲート酸化膜を介してゲート電極を形成する工程とを有し、ソースを形成するイオン注入工程であって、このイオン注入はこの工程後のゲート酸化膜形成時の増速酸化を抑制するようにイオン注入エネルギー量を設定することを特徴とする。

【0012】

ここで、「第1導電型」と「第2導電型」とは、通常のMOSトランジスタと同様、「P型」と「N型」、又はこの逆が対応し、以降の説明においても同様で

ある。

【 0 0 1 3 】

上記方法によれば、ソース領域形成のための第2導電型の不純物の導入と、ドレイン・ソースの電極を取り出すための第2導電型の不純物の導入が同時に行われるため、インプラ工程を削減できる。

【 0 0 1 4 】

【発明の実施の形態】

以下に、本発明の第1、第2の実施の形態を、図1、図2を用いて説明する。

【 0 0 1 5 】

図1に示す本発明の第1の実施の形態は、以下の工程をを順次施すことを特徴とする半導体装置の製造方法である。即ち、第1導電型の半導体基板101上の一部に第2導電型の第1の拡散層（ウエル）103を形成する。素子間を分離するフィールド酸化膜102は、公知のLOCOS形成技術を用いて形成することができ、また、第2導電型の第1の拡散層103を形成する工程は従来と同様の方法を用いることができる。

【 0 0 1 6 】

次に、第1導電型の半導体基板101上に第1の絶縁膜104を形成し、第2導電型の第1の拡散層103上の一部を開口する（第1の開口部）。第1の絶縁膜104は、公知の酸化技術により5000Å（オングストローム。以下同じ）程度形成する。次に、公知のホトリソ・エッチング技術を用いてDウエルとなる領域の第1の絶縁膜104を開口し、公知の酸化技術により第1の絶縁膜104bを200Å程度形成する。

【 0 0 1 7 】

次に、第1の開口部より、第2導電型の第1の拡散層103中の一部に第1導電型の第2の拡散層（Dウエル）105を形成する。Dウエルとなる第1導電型の第2の拡散層105は、公知のインプラ技術により、例えばボロン（B）等のP型不純物を注入した後、公知の拡散技術により1000℃で20分程度、N₂ガス雰囲気中で熱処理を行って形成する。

【 0 0 1 8 】

次に、第1導電型の第2の拡散層105内に、第1の開口部より、第1導電型の第2の拡散層105の主表面より内部に導入されるように設定された第2導電型の不純物106を導入する（ソース）。ソース領域の形成は、公知の高エネルギーイオン注入技術を用いることができ、例えば砒素（As）等のN型不純物106を、エネルギー量 500 keV、ドーズ量 5.0×10^{15} 個/cm²程度で注入する。この際の砒素イオンは、その後のゲート酸化膜形成時の熱処理により、Dウェル上で酸化膜の段差が形成されないよう、かつ、熱処理により砒素イオンが表面まで拡散するよう、高エネルギーイオン注入となるように設定する。

【0019】

次に、第1の絶縁膜104を除去し、第1導電型の半導体基板101上に第2の絶縁膜（ゲート酸化膜）107を形成するとともに、第2導電型の不純物106を活性化して第2導電型の第3の拡散層108とする。第2の絶縁膜107は、第1の絶縁膜104、104bを除去した後、公知の酸化技術を用いて300 Å程度形成する。この際、ソースとなる領域に導入された第2導電型の不純物106は表面まで拡散し、第2導電型の第3の拡散層108となる。

【0020】

次に、第2の絶縁膜107上にゲート電極材料を形成し、第2導電型の第3の拡散層108の一部の領域上から、第2導電型の第3の拡散層108を含まない第1導電型の第2の拡散層105の領域上を少なくとも含むようにLD MOSのゲート電極109を形成する。ゲート電極109は、例えばポリシリコンなどが公知のCVD・ホトリソ・エッチング技術を用いてチャネルとなる領域に形成する。

【0021】

次に、第2導電型の第1の拡散層103の内、第1導電型の第2の拡散層105を含まない領域に第2導電型の第4の拡散層（RSD）110を形成し、第2導電型の第1の拡散層103内で第2導電型の第4の拡散層110を介して、第1導電型の第2の拡散層105の反対側領域に第2導電型の第5の拡散層111を形成すると同時に、第2導電型の第3の拡散層108内の一部に第2導電型

の第6の拡散層112を形成する。

【0022】

次に、公知のホトリソ技術を用いて所望のパターニングを行い、レジスト及びゲート電極109をマスクとして、第1の拡散層103内の表面に、例えばリン(P)等のN型不純物を注入する。RSDとなる第2導電型の第4の拡散層110は、公知の拡散技術により形成する。

【0023】

そして、第1導電型の第2の拡散層105内の一部に第1導電型の第7の拡散層113を第1導電型の第2の拡散層105と接続するように形成する。ドレイン、ソースの電極を取り出す領域には、公知のホトリソ、インプラ技術を用いて、例えば砒素(As)等のN型不純物を、エネルギー量 60 keV、ドーズ量 1.0×10^{15} 個/cm² 程度で、Dウエルの電極を取り出す領域には、例えばボロン(B)等のP型不純物を、エネルギー量 30 keV、ドーズ量 1.0×10^{15} 個/cm² 程度で注入する。

【0024】

次に、公知の拡散技術を用いて第5、第6、第7の拡散層111、112、113を形成する。最後に、コンタクト形成、配線形成を経てLDMOSが形成される。なお、コンタクト形成と配線形成については公知の技術が用いられる(図示せず)。

【0025】

ホトリソ、エッチングや種々の部材の沈着、注入、拡散、コンタクト形成、配線形成等の各工程は、既知の半導体製造技術を用いることができる。これは、以下の本発明の第2の実施の形態においても同様である。

【0026】

上記本発明の第1の実施の形態によれば、ソース領域を形成する第2導電型の不純物を高エネルギーインプラにて注入することにより、ゲート酸化膜形成時の増速酸化が抑制でき、Dウエル上のゲート酸化膜の段差を低減して、信頼性の高い半導体装置が提供できる。

【0027】

また、図 2 に示す本発明の第 2 の実施の形態は、以下の工程を順次施すことを特徴とする半導体装置の製造方法である。即ち、第 1 導電型の半導体基板 2 0 1 上の一部に第 2 導電型の第 1 の拡散層（ウエル）2 0 3 を形成し、次に、第 1 導電型の半導体基板 2 0 1 上に第 1 の絶縁膜 2 0 4 を形成する。

【 0 0 2 8 】

次に、第 2 導電型の第 1 の拡散層 2 0 3 上の一部を開口し、この第 1 の開口部より、第 2 導電型の第 1 の拡散層 2 0 3 中の一部に第 1 導電型の第 2 の拡散層（Dウエル）2 0 5 を形成する。第 1 導電型の第 2 の拡散層（Dウエル）2 0 5 を形成するまでは、第 1 の実施の形態と同様である。

【 0 0 2 9 】

次に、公知のホトリソ、エッチング技術により、第 1 の絶縁膜 2 0 4 の内、第 2 導電型の第 1 の拡散層 2 0 3 内で第 1 導電型の第 2 の拡散層 2 0 5 が形成されていない領域の一部を、LDMOS のドレイン電極、ソースの電極を取り出す領域として開口する。レジスト 2 1 3 を除去し、この第 2 の開口部と第 1 の開口部より同時に、第 1 導電型の半導体基板 2 0 1 及び第 1 導電型の第 2 の拡散層 2 0 5 の主表面より内部に導入されるように設定された第 2 導電型の不純物 2 0 6 を導入し、ソース、ドレインとする。

【 0 0 3 0 】

ここでは、公知の高エネルギーインプラ技術により、例えば砒素（As）等の N 型不純物を、エネルギー量 5 0 0 k e V、ドーズ量 5.0×10^{15} 個 / cm^2 程度で注入する。この際注入される砒素イオンは、その後のゲート酸化膜 2 0 7 形成時の熱処理により、Dウエル上の酸化膜の段差が形成されないよう、かつ、熱処理により砒素イオンが表面まで拡散するよう、高エネルギーイオン注入となるように設定する。

【 0 0 3 1 】

次に、第 1 の絶縁膜 2 0 4 を除去し、第 1 導電型の半導体基板 2 0 1 上に第 2 の絶縁膜（ゲート酸化膜）2 0 7 を形成するとともに、第 2 導電型の不純物 2 0 7 を活性化して第 2 導電型の第 3 の拡散層 2 0 8 とする。

【 0 0 3 2 】

次に、第2の絶縁膜207上にゲート電極材料を形成し、第2導電型の第3の拡散層208の一部の領域上から、第2導電型の第3の拡散層208を含まない第1導電型の第2の拡散層205の領域上を少なくとも含むようにLDMOSのゲート電極209を形成する。そして、第2導電型の第1の拡散層203の内、第1導電型の第2の拡散層205を含まない領域に第2導電型の第4の拡散層(RSD)210を形成する。

【0033】

次に、第1導電型の第2の拡散層205内の一部に第1導電型の第6の拡散層212を第1導電型の第2の拡散層205と接続するように形成する。

【0034】

第1の絶縁膜204を除去し、第2の絶縁膜(ゲート酸化膜)207を形成する工程以降は第1の実施の形態と同様である。

【0035】

上記本発明の第2の実施の形態によれば、第1の実施の形態の効果に加えさらに、ソース領域形成のための第2導電型の不純物の導入と、ドレイン・ソースの電極を取り出すための第2導電型の不純物の導入が同時に行われるため、インプラ工程を削減できる効果がある。

【0036】

以上、添付図面を参照しながら本発明にかかるLDMOSトランジスタの製造方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0037】

【発明の効果】

上記示したように本発明によれば、ゲート酸化膜形成時の増速酸化が抑制でき、従ってDウェル上のゲート酸化膜の段差を低減して信頼性の高いLDMOSトランジスタが提供できる。

【図面の簡単な説明】

【図 1】

図 1 (1) ～ (6) は、本発明の第 1 の実施の形態の L D M O S トランジスタの製造工程を示す横断面正面図である。

【図 2】

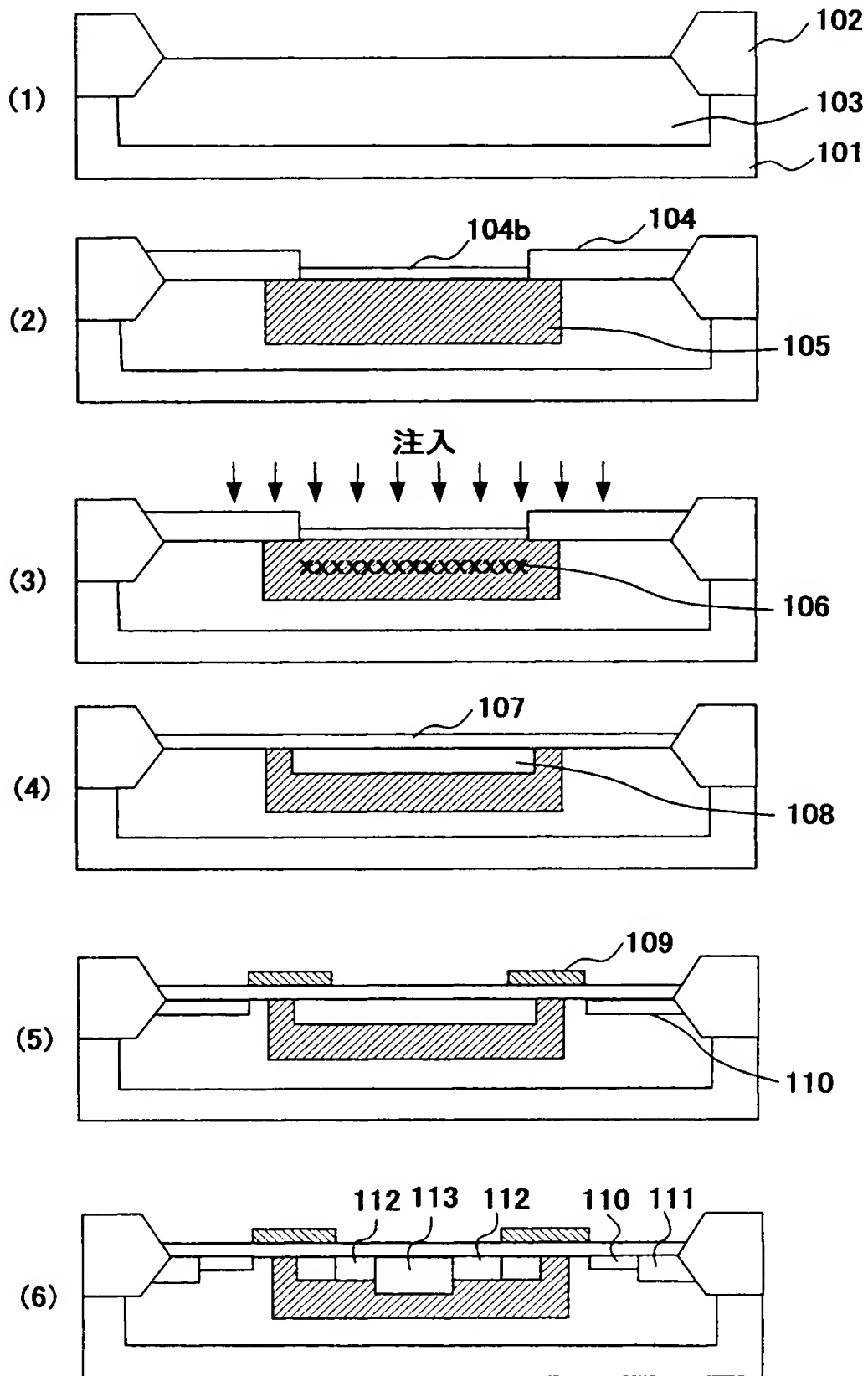
図 2 (1) ～ (4) は、本発明の第 2 の実施の形態の L D M O S トランジスタの製造工程を示す横断面正面図である。

【符号の説明】

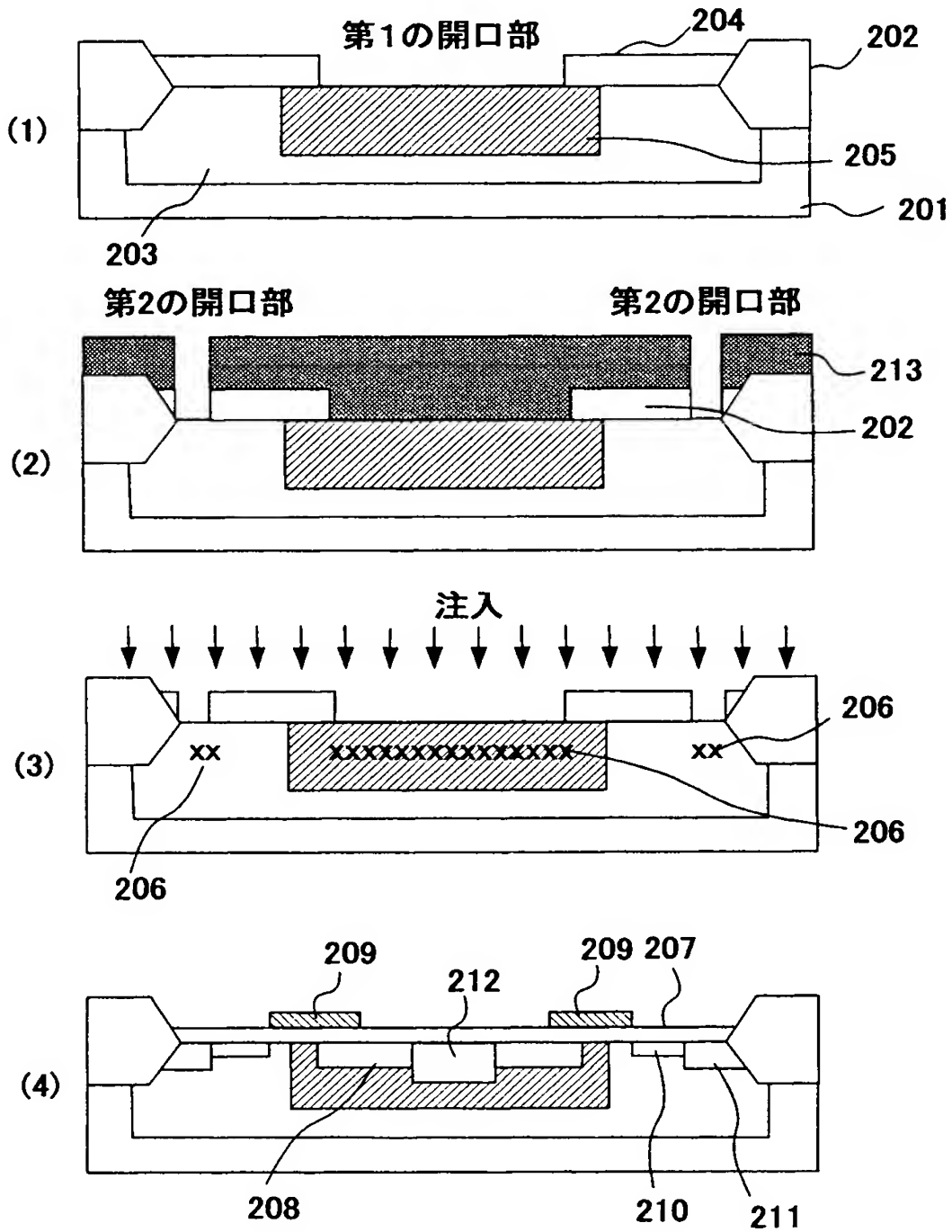
1 0 1, 2 0 1	第 1 導電型の半導体基板
1 0 2, 2 0 2	フィールド酸化膜
1 0 3, 2 0 3	第 2 導電型の第 1 の拡散層 (ウエル)
1 0 4, 2 0 4	第 1 の絶縁膜
1 0 5, 2 0 5	第 1 導電型の第 2 の拡散層 (D ウエル)
1 0 6, 2 0 6	第 2 導電型の不純物
1 0 7, 2 0 7	第 2 の絶縁膜 (ゲート酸化膜)
1 0 8, 2 0 8	第 2 導電型の第 3 の拡散層
1 0 9, 2 0 9	ゲート電極
1 1 0, 2 1 0	第 2 導電型の第 4 の拡散層 (R S D)
1 1 1, 2 1 1	第 2 導電型の第 5 の拡散層
1 1 2	第 2 導電型の第 6 の拡散層
1 1 3	第 1 導電型の第 7 の拡散層
2 1 2	第 1 導電型の第 6 の拡散層
2 1 3	レジスト

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 ゲート酸化膜形成時の増速酸化が抑制でき、従ってDウェル上のゲート酸化膜の段差を低減して信頼性の高いLDMOSトランジスタを提供する。

【解決手段】 ウェル領域を表面に有する半導体基板と、ウェル領域の半導体基板表面に形成されるソースと、ウェル領域以外の半導体基板表面に形成されるドレインと、ソース及びドレイン間の半導体基板表面上にゲート酸化膜を介して形成されるゲート電極とを備え、前記ソースを形成する注入工程でのイオン注入は、この工程後のゲート酸化膜形成時の増速酸化を抑制するようにイオン注入エネルギー量を設定することを特徴とするLDMOSトランジスタの製造方法。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社



Creation date: 12-08-2003
Indexing Officer: KLITTLE - KEVIN LITTLE
Team: OIPEFilingRcptCorrection
Dossier: 10052244

Legal Date: 30-10-2002

No.	Doccode	Number of pages
1	SRNT	1

Total number of pages: 1

Remarks:

Order of re-scan issued on